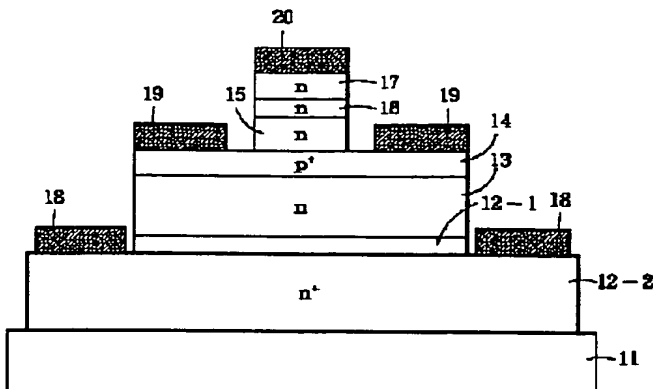


Patent Abstracts of Japan

TITLE : HETERO-JUNCTION TRANSISTOR



COPYRIGHT: (C)1993,JPO&Japio

THIS PAGE RI ANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-304165

(43) 公開日 平成5年(1993)11月16日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/331

29/73

29/205

7377-4M

H 0 1 L 29/72

審査請求 未請求 請求項の数5(全 7 頁)

(21) 出願番号 特願平4-131376

(22) 出願日 平成4年(1992)4月27日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 深野 秀樹

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 高梨 良文

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

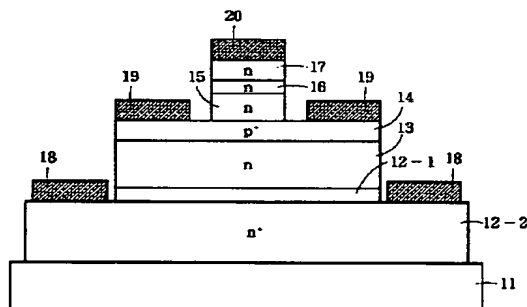
(74) 代理人 弁理士 小林 将高

(54) 【発明の名称】 ヘテロ接合トランジスタ

(57) 【要約】

【目的】 トランジスタの耐圧を向上させるためにコレクタにワイドギャップの半導体を用いるにあたって、界面に4元の半導体の組成変化層やスペーサ層を用いないヘテロ接合トランジスタを提供する。

【構成】 半導体基板11上に、n形でGa_{0.1}In_{0.9}PvAs_{1-v}のコレクタ用半導体層13と、p形でGa_xIn_{1-x}AsySb_{1-y}のベース用半導体層14と、n形で、かつベース用半導体層14に比べ広いエネルギーバンドギャップを有するGa_wIn_{1-w}PzAs_{1-z}のエミッタ用半導体層15とが積層されていることを特徴としている。



1

【特許請求の範囲】

【請求項1】 半導体基板上に、n形で $GauInl-uPvAsl-v$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、p形で $GaxInl-xAsySbl-y$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）のベース用半導体層と、n形で、かつ前記ベース用半導体層に比べ広いエネルギーバンドギャップを有する $GawInl-wPzAsl-z$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されていることを特徴とするヘテロ接合トランジスタ。

【請求項2】 半導体基板上に、n形で $AluGavInl-u-vAs$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、p形で $GaxInl-xAsySbl-y$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）のベース用半導体層と、n形で、かつ前記ベース用半導体層に比べ広いエネルギーバンドギャップを有する $GawInl-wPzAsl-z$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されていることを特徴とするヘテロ接合トランジスタ。

【請求項3】 半導体基板上に、n形で $AluGavInl-u-vAs$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、p形で $GaxInl-xAsySbl-y$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）のベース用半導体層と、n形で、かつ前記ベース用半導体層に比べ広いエネルギーバンドギャップを有する $AlwGazInl-w-zAs$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されていることを特徴とするヘテロ接合トランジスタ。

【請求項4】 半導体基板上に、n形で $GauInl-uPvAsl-v$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、p形で $GaxInl-xAsySbl-y$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）のベース用半導体層と、n形で、かつ前記ベース用半導体層に比べ広いエネルギーバンドギャップを有する $AlwGazInl-w-zAs$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されていることを特徴とするヘテロ接合トランジスタ。

【請求項5】 半導体基板がInPからなり、この半導体基板上に順次形成されるコレクタ用半導体層、ベース用半導体層およびエミッタ用半導体層が前記InPからなる半導体基板と格子整合するに十分な組成比に選定されていることを特徴とする請求項1乃至4のいずれかに記載のヘテロ接合トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、トランジスタの高耐圧化が可能であり、また、超高速動作の可能なヘテロ接合トランジスタに関するものである。

【0002】

【従来の技術】 $GauInl-uPvAsl-v$ および Al

2

$wGazInl-w-zAs$ 系材料は、電子の輸送特性が優れている。この材料系の中でも最も特性の優れた $GaInAs$ をベースおよびコレクタに使用したヘテロ接合トランジスタが主に研究されている。

【0003】 しかし、この材料はバンドギャップ (E_g) が小さいためトランジスタの耐圧が1~2Vと非常に小さく、この点を改良するためにコレクタとしてバンドギャップ (E_g) のより大きな $AlGaInAs$ や InP を用いるダブルヘテロ構造が検討されている。

10 【0004】

【発明が解決しようとする課題】 しかし、これらの材料を $GaInAs$ コレクタと入れ換えただけでは、コレクタとして入りに電子の障壁となるヘテロ接合バンド不連続 ΔE_c が生じ、トランジスタの利得が激減するため、 $AlGaInAs$ 等の組成変化層を導入して改善を図っている。

【0005】 この場合のエネルギーバンド図を図9に示す。この図で、Eは $AlGaInAs$ のエミッタ用半導体層、Bは $InGaAs$ のベース用半導体層、Cは $AlGaInAs$ のコレクタ用半導体層、Wは $AlGaInAs$ の組成変化層である。また、 E_gE 、 E_gB 、 E_gC は各層のエネルギーバンドギャップを示す。

【0006】 このように、組成変化層Wを形成すると、ベース用半導体層Bと組成変化層Wとの間に障壁が発生しないようになり、エミッタ用半導体層Eから注入された電子が走行中にエネルギーが低下してもコレクタ用半導体層Cに入ることができる。

【0007】 しかし、この組成変化層Wは格子の整合をとりながら徐々に組成を変化させる必要があるため、結晶成長が極めて難しい。この他に、図10のように $GaInPAs$ のスペーサ層Yを用いて電子に対する障壁の低減を図っている場合もある。なお、図10でEは InP のエミッタ用半導体層、Cは InP のコレクタ用半導体層であり、Bは図9と同じ組成のベース用半導体層である。

【0008】 この場合、電流利得およびトランジスタ耐圧がスペーサ層厚および不純物濃度にかかり敏感であり、成長において極めて高い制御性が要求されるという欠点がある。また、これらのトランジスタは、高電流密度領域での動作において、利得の低下や、電流利得遮断周波数 (f_T) の急激な劣化がみられる。

【0009】 なお、本発明に近い構造を持つ公知文献として特開平3-38835号公報と特開平3-289135号公報がある。これらは、結晶の熱安定性とベース層での正孔閉じ込めにおいて改良効果を狙ったものであり、本発明とは着眼点が異なることを付記しておく。

【0010】 本発明の目的は、トランジスタの耐圧を向上させるためにコレクタにワイドギャップの半導体を用いるにあたって、従来は界面に4元の半導体の組成変化層Wやスペーサ層Yを導入しなければならなかった点を

3

解決したヘテロ接合トランジスタを提供することにある。

【0011】

【課題を解決するための手段】本発明にかかるヘテロ接合トランジスタは、半導体基板上に、 n 形で $Ga_{1-u}In_uPvAs_{1-v}$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、 p 形で $GaxIn_{1-x}AsySb_{1-y}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）のベース用半導体層と、 n 形で、かつベース用半導体層に比べ広いエネルギーバンドギャップを有する $GawIn_{1-w}PzAs_{1-z}$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されているものである。

【0012】また、半導体基板上に、 n 形で $Al_uGa_{1-u}In_vAs_{1-v}$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、 p 形で $GaxIn_{1-x}AsySb_{1-y}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）のベース用半導体層と、 n 形で、かつベース用半導体層に比べ広いエネルギーバンドギャップを有する $GawIn_{1-w}PzAs_{1-z}$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されているものである。

【0013】さらに、半導体基板上に、 n 形で $Al_uGa_{1-u}In_vAs_{1-v}$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、 p 形で $GaxIn_{1-x}AsySb_{1-y}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）のベース用半導体層と、 n 形で、かつベース用半導体層に比べ広いエネルギーバンドギャップを有する $Al_wGa_{1-w}In_zAs_{1-z}$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されているものである。

【0014】また、半導体基板上に、 n 形で $Ga_{1-u}In_uPvAs_{1-v}$ （ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）のコレクタ用半導体層と、 p 形で $GaxIn_{1-x}AsySb_{1-y}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）のベース用半導体層と、 n 形で、かつベース用半導体層に比べ広いエネルギーバンドギャップを有する $Al_wGa_{1-w}In_zAs_{1-z}$ （ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）のエミッタ用半導体層とが積層されているものである。

【0015】さらに、半導体基板が InP からなり、この上に形成されるコレクタ用半導体層、ベース用半導体層およびエミッタ用半導体層が InP の半導体基板と格子整合がとれた組成にしたものである。

【0016】

【作用】本発明によるヘテロ接合トランジスタはベース層に $GaxIn_{1-x}AsySb_{1-y}$ を用いることを最も主要な特徴とする。

【0017】 $GaInPAs/GaInAsSb$ および $AlGaInAs/GaInAsSb$ ヘテロ接合では、組成を適当に選ぶことにより伝導帯のエネルギー不連続（ ΔEc ）が後述する図2に示すようなスタガード型（エネルギーギャップ Eg が千鳥状になっているもの）や、 ΔEc がほとんどゼロにできるため、コレクタとし

4

て用いる $GaInAsP$ もしくは $AlGaInAs$ とベース層の $GaInAsSb$ 層との界面に電子の通過を妨げる障壁が発生しない。

【0018】また、ベース層として $GaInAsSb$ を用いることにより、コレクタ層の材料組成に合わせて ΔEc を広い範囲で設計できるとともに、ベース中での電子速度を決める1つの重要な要素である Γ - L 谷間エネルギー差を大きくすることが可能となり、素子の高速性能を大きく向上させることができる。

【0019】さらに、半導体基板を InP としたので、その上に形成する各層の格子整合が容易となる。

【0020】

【実施例】

【実施例1】図1に本発明によるヘテロ接合トランジスタの第1の実施例を示す。 InP の半絶縁性の半導体基板11上に n^+ 型で、 $In_{0.53}Ga_{0.47}As$ の第2サブコレクタ用半導体層12-2が、半導体基板11の上面を一部外部に臨ませるように積層して形成されている。

【0021】また、第2サブコレクタ用半導体層12-2上に、 n^+ で InP の第1サブコレクタ12-1と、 n 型で InP のコレクタ用半導体層13と、 p^+ 型で $GaxIn_{1-x}AsySb_{1-y}$ （1例として、 $x=0.80$ 、 $y=0.69$ ）のベース用半導体層14とが順次、第2サブコレクタ用半導体層12-2の上面を一部外部に臨ませるように積層して形成されている。

【0022】さらに、ベース用半導体層14に n 型で InP のエミッタ用半導体層15と、 n 型で InP および $In_{0.53}Ga_{0.47}As$ の2つのエミッタ電極付用半導体層16および17とが順次、ベース用半導体層14の上面を一部外部に臨ませるように積層して形成されている。また、第2サブコレクタ用半導体層12-2に、その上面の外部に臨んでいる領域において、コレクタ電極18がオーミックに付されている。

【0023】さらに、ベース用半導体層14に、その上面の外部に臨んでいる領域において、ベース電極19がオーミックに付されている。また、エミッタ電極付用半導体層17に、その上面において、エミッタ電極20がオーミックに付されている。

【0024】上記の実施例1におけるエミッタ、ベース、コレクタ各部のエネルギーバンド構造は図2のようになっている。コレクタ用半導体層13にベース用半導体層14よりエネルギーギャップ（ Eg ）の大きな InP を用いているにもかかわらず図2のようにベース・コレクタ界面には電子に対する障壁が発生しないためエネルギーギャップ（ Eg ）の大きな InP コレクタによりトランジスタの耐圧は、例えばベース/コレクタが $GaInAs/GaInAs$ のホモ接合のトランジスタの場合の1.5V程度に比べ2~3倍以上向上しながら、トランジスタの $Ic-Vce$ 特性の立ち上がりもよく、高電流密度領域になっても殆ど電流利得の減少はなく、また、電

5

流利得遮断周波数 (f_T) の急激な低下も 105 A/cm^2 程度の電流密度領域ではみられなかった。

【0025】このように高電流密度領域においても電流利得および電流利得遮断周波数 (f_T) が低下しないのは、図2のようなヘテロ不連続のため電子がコレクタへ入る時に ΔE_c に相当するエネルギーを得るため電子速度が急上昇し、コレクタでの空間電荷効果が制御されるためであり、この構造により素子の高速動作性能が著しく向上したためである。

【0026】また、ベース用半導体層14の $\text{Ga}_x\text{In}_{1-x}\text{As}_y\text{Sb}_{1-y}$ において組成 x, y を変化させ、エミッタ端ではエネルギーギャップ (E_g) が大きくコレクタ端に向かって徐々に小さくなるようにすることによりベース用半導体層14内部で電子を加速する電界を形成することも可能であり、これにより高速性能をさらに向上させることもできる。

【0027】この実施例は、半導体基板11として InP を用いた格子整合系であるが、半導体基板11として GaAs や Si 等の他の材料を用いたヘテロエピ構造や格子歪を内在する格子歪系でもよい。また、これらの層構造で受光用の窓を有するデバイス構造にすればベース層で光を受光でき、ヘテロ接合フォトトランジスタとしても動作させることができる。

【0028】なお、この実施例では、コレクタ用半導体層13とエミッタ用半導体層15はいずれも InP を用いているが、これらは GaInPAs であってもよい。一般式でかけば、コレクタ用半導体層13は、 $\text{Ga}_u\text{In}_{1-u}\text{P}_v\text{As}_{1-u}$ (ただし、 $0 \leq u \leq 1$, $0 \leq v \leq 1$)、エミッタ用半導体層15は $\text{Ga}_w\text{In}_{1-w}\text{P}_z\text{As}_{1-z}$ (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$) となる。

【実施例2】図3に本発明によるヘテロ接合トランジスタの第2の実施例を示す。図1との対応部分には同一符号を付して詳細説明は省略する。22-1は n^+ 型で AlInAs の第1サブコレクタ用半導体層であり、23は n 型で AlInAs のコレクタ用半導体層、24は p^+ 型で GaAsSb のベース用半導体層である。

【0029】上記実施例2におけるエミッタ、ベース、コレクタ各部のエネルギーバンド構造は図4のような形になっており、ベース・コレクタ界面には電子に対する障壁はほとんど発生しない。また、 AlInAs は InP よりさらにエネルギーギャップ (E_g) が大きいため実施例1の場合よりさらに大きなトランジスタ耐圧が得られた。

【0030】また、 $I_c - V_{ce}$ 特性の立上り特性も良好であり、高電流密度領域でも電流利得の減少はない。また、電流利得遮断周波数 (f_T) についても実施例1に比べると特性的にはわずかに劣るが同様の超高速動作が可能であった。また、ベース用半導体層24を $\text{Ga}_x\text{In}_{1-x}\text{As}_y\text{Sb}_{1-y}$ にし、組成 x, y を変化させ、エミッタ端ではエネルギーギャップ (E_g) が大きくコレ

6

クタ端に向かって徐々に小さくなるようにすることによりベース用半導体層24内部で電子を加速する電界を形成することも可能であり、これにより高速性能をさらに向上させることもできる。

【0031】この実施例は、半導体基板11として InP を用いた格子整合系であるが、半導体基板11として GaAs や Si 等の他の材料を用いたヘテロエピ構造や、格子歪を内在する格子歪系でもよい。また、これらの層構造で受光用の窓を有するデバイス構造にすればベース層で光を受光でき、ヘテロ接合フォトトランジスタとしても動作させることができる。

【0032】なお、この実施例では、コレクタ用半導体層23に AlInAs を用いているが、一般には $\text{Al}_u\text{Ga}_v\text{In}_{1-u-v}\text{As}$ (ただし、 $0 \leq u \leq 1$, $0 \leq v \leq 1$) でよく、また、エミッタ用半導体層15は InP を用いたが、これも $\text{Ga}_w\text{In}_{1-w}\text{P}_z\text{As}_{1-z}$ (ただし、 $0 \leq w \leq 1$, $0 \leq z \leq 1$) であればよい。

【実施例3】図5に本発明によるヘテロ接合トランジスタの第3の実施例を示す。図1との対応部分には同一符号を付して詳細説明は省略する。32-1は n^+ 型で、 AlInAs の第1サブコレクタ用半導体層であり、33は n 型で AlInAs のコレクタ用半導体層、34は p^+ 型で $\text{Ga}_{0.98}\text{In}_{0.02}\text{As}_{0.53}\text{Sb}_{0.47}$ のベース用半導体層、35は n 型で AlInAs のエミッタ用半導体層であり、36は n^+ 型で AlInAs のエミッタ電極付用半導体層である。

【0033】上記実施例3におけるエミッタ、ベース、コレクタ各部のエネルギーバンド構造は図6のような形になっており、ベース・コレクタ界面には電子に対する障壁はほとんど発生しない。また、 AlInAs は InP よりさらにエネルギーギャップ (E_g) が大きいいため、実施例1の場合よりさらに大きなトランジスタ耐圧が得られた。

【0034】また、 $I_c - V_{ce}$ 特性の立上り特性も良好であり、高電流密度領域でも電流利得の減少はない。また、電流利得遮断周波数 (f_T) についても実施例1に比べると特性的にはわずかに劣るが同様の超高速動作が可能であった。また、ベース用半導体層34を $\text{Ga}_x\text{In}_{1-x}\text{As}_y\text{Sb}_{1-y}$ にし、組成 x, y を変化させ、エミッタ端ではエネルギーギャップ (E_g) が大きくコレクタ端に向かって徐々に小さくなるようにすることによりベース用半導体層34内部で電子を加速する電界を形成することも可能であり、これにより高速性能をさらに向上させることもできる。

【0035】この実施例は、半導体基板11として InP を用いた格子整合系であるが、半導体基板11として GaAs や Si 等の他の材料を用いたヘテロエピ構造や格子歪を内在する格子歪系でもよい。また、これらの層構造で受光用の窓を有するデバイス構造にすればベース層で光を受光でき、ヘテロ接合フォトトランジスタとし

も動作させることができる。

【0036】また、この実施例では、コレクタ用半導体層33にAlInAsを用いているが、一般には、AluGa_vIn_{1-u}As（ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）でよく、また、エミッタ用半導体層35にAlInAsを用いたが、これはAlwGa_wIn_{1-w}As（ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）であればよい。

【実施例4】図7に本発明によるヘテロ接合トランジスタの第4の実施例を示す。図1との対応部分には同一符号を付して詳細説明は省略する。45はn型で、AlInAsのエミッタ用半導体層であり、46はn⁺型でAlInAsのエミッタ電極付用半導体層である。

【0037】上記実施例4におけるエミッタ、ベース、コレクタ各部のエネルギーバンド構造は図8のようになっている。コレクタ用半導体層13にベース用半導体層14よりエネルギーギャップ（エネルギーギャップ（Eg））の大きなInPを用いているにもかかわらず図8のようにベース・コレクタ界面には電子に対する障壁が発生しないため、エネルギーギャップ（Eg）の大きなInPコレクタによりトランジスタの耐圧は、例えばベース/コレクタがGaInAs/GaInAsのホモ接合のトランジスタの場合の1.5V程度に比べ2〜3倍以上向上しながら、トランジスタのIc-Vce特性の立ち上がりもよく、高電流密度領域になっても殆ど電流利得の減少はなく、また、電流利得遮断周波数（fT）の急激な低下も105 A/cm²程度の電流密度領域ではみられなかった。

【0038】このように、電流利得遮断周波数（fT）が通常より高電流密度領域まで伸びるのは、図8のようなヘテロ不連続のため電子がコレクタへ入る時にΔEcに相当するエネルギーを得るため電子速度が急上昇するためであり、この構造により素子の高速動作性能も向上した。

【0039】また、ベース用半導体層14のGa_xIn_{1-x}As_ySb_{1-y}において組成x、yを変化させ、エミッタ端ではエネルギーギャップ（Eg）が大きくコレクタ端に向かって徐々に小さくなるようにすることによりベース用半導体層14内部で電子を加速する電界を形成することも可能であり、これにより高速性能をさらに向上させることもできる。

【0040】この実施例は、半導体基板11としてInPを用いた格子整合系であるが、半導体基板11としてGaAsやSi等の他の材料を用いたヘテロエピ構造や格子歪を内在する格子歪系でもよい。また、これらの層構造で受光用の窓を有するデバイス構造にすればベース層で光を受光でき、ヘテロ接合フォトトランジスタとしても動作させることができる。

【0041】また、この実施例では、コレクタ用半導体層13にInPを用いているが、一般には、Ga_uIn_{1-u}P_vAs_{1-u}（ただし、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ ）

でよく、また、エミッタ用半導体層45にAlInAsを用いているが、これも一般にはAlwGa_wIn_{1-w}zAs（ただし、 $0 \leq w \leq 1$ 、 $0 \leq z \leq 1$ ）であればよい。

【0042】

【発明の効果】以上説明したように、本発明にかかるヘテロ接合トランジスタは、コレクタにベースよりエネルギーギャップの大きなGaInPAsやAlGaInAs半導体材料を用いるヘテロ接合トランジスタにおいて、p型ベース層としてGa_xIn_{1-x}As_ySb_{1-y}を用いることによりベース・コレクタ界面に電子の通過の妨げになる障壁が発生しないため、従来のような電子障壁を除去するための半導体の組成変化層やスペーサ層が不要になり、トランジスタのIc-Vce特性の立ち上がりも良好である。

【0043】また、ベース・コレクタ接合部をスタガード型のヘテロ構造になるように層組成を設定することによりコレクタ入口で電子はΔEcに相当するエネルギーを得て電子速度が急増するため、高電流密度領域になっても殆ど電流利得の減少はなく、また、電流利得遮断周波数（fT）の急激な低下も105 A/cm²程度の電流密度領域ではみられず、コレクタ内の平均電子速度は極めて大きくなる。

【0044】さらに、ベース用半導体層としてGaInAsSbを用いることにより、コレクタ層の材料組成に合わせてΔEcを広い範囲で設計できるとともに、ベース中での電子速度を決める1つの重要な要素であるΓ-L谷間エネルギー差を大きくすることが可能となり、素子の高速性能を大きく向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す断面略図である。

【図2】本発明の第1の実施例におけるエネルギーバンド図である。

【図3】本発明の第2の実施例を示す断面略図である。

【図4】本発明の第2の実施例におけるエネルギーバンド図である。

【図5】本発明の第3の実施例を示す断面略図である。

【図6】本発明の第3の実施例におけるエネルギーバンド図である。

【図7】本発明の第4の実施例を示す断面略図である。

【図8】本発明の第4の実施例におけるエネルギーバンド図である。

【図9】従来のベース・コレクタ間に組成変化層を有するダブルヘテロ構造トランジスタのエネルギーバンド図である。

【図10】従来のベース・コレクタ間にスペーサ層を有するダブルヘテロ構造トランジスタのエネルギーバンド図である。

【符号の説明】

11 半導体基板

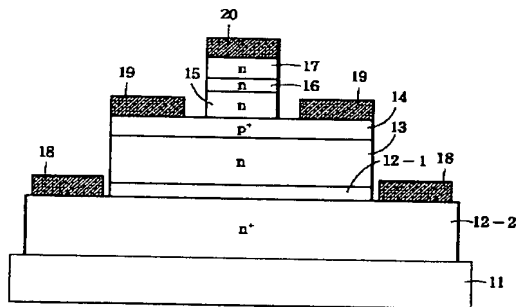
(6)

特開平5-304165

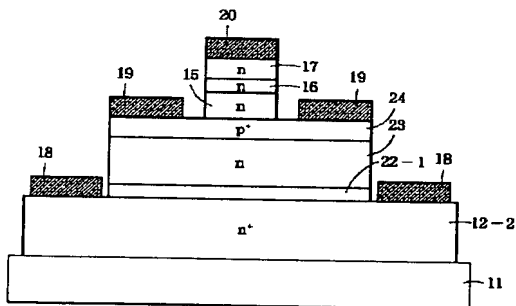
9

- 12-1 第1サブコレクタ用半導体層
- 12-2 第2サブコレクタ用半導体層
- 13 コレクタ用半導体層
- 14 ベース用半導体層
- 15 エミッタ用半導体層
- 16 エミッタ電極付用半導体層
- 17 エミッタ電極付用半導体層
- 18 コレクタ電極
- 19 ベース電極

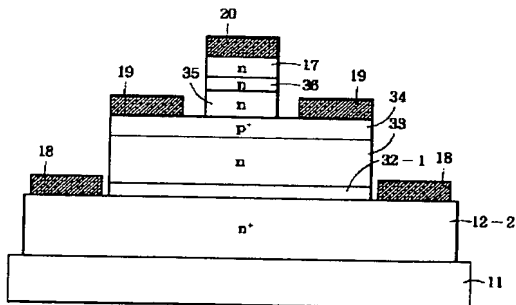
【図1】



【図3】



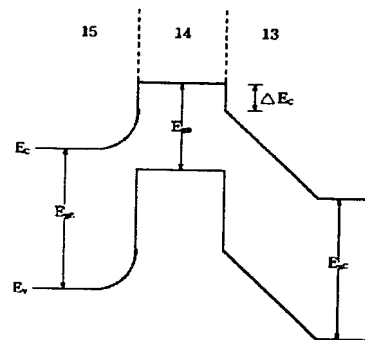
【図5】



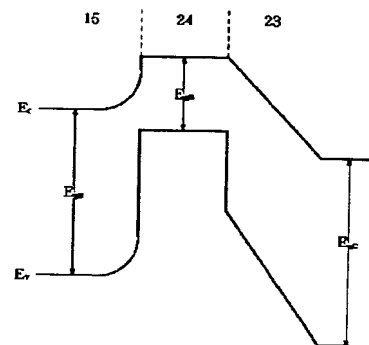
10

- 20 エミッタ電極
- 22-1 第1サブコレクタ用半導体層
- 23 コレクタ用半導体層
- 24 ベース用半導体層
- 32-1 第1サブコレクタ用半導体層
- 33 コレクタ用半導体層
- 34 ベース用半導体層
- 35 エミッタ用半導体層
- 36 エミッタ電極付用半導体層

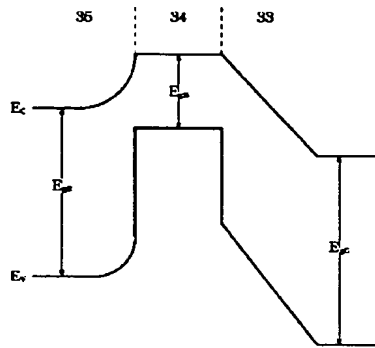
【図2】



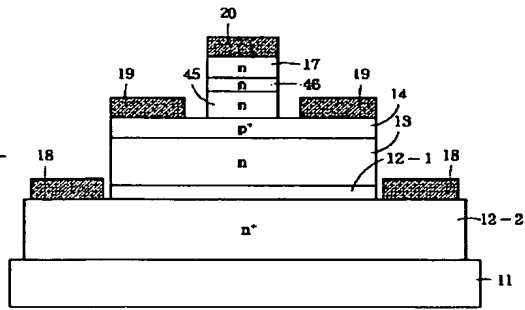
【図4】



【図6】



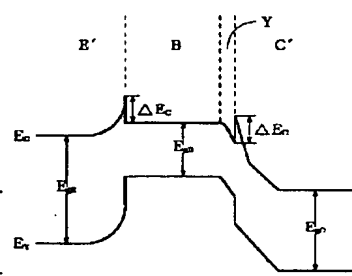
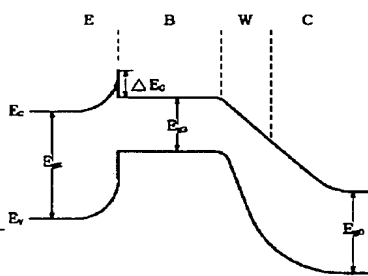
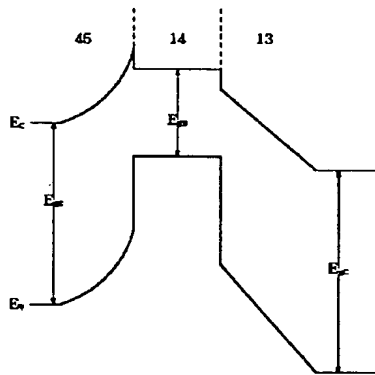
【図7】



【図9】

【図10】

【図8】



THIS PAGE BLANK (USPTO)